



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

JINNO, Yushi and HIRAI, Kyoko

Serial No: 09/160,312

Filed: September 25, 1998

For: DISPLAY APPARATUS AND  
METHOD FOR  
MANUFACTURING THE SAME

Art Unit: 2871

Examiner: unassigned

PATENT  
5586D-6921

#4 PRIORITY  
paper  
3-2-99  
R. Lohs

RECEIVED

DEC 22 1998

GROU P 2100

TRANSMITTAL OF PRIORITY DOCUMENT

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

Assistant Commissioner for Patents  
Washington D.C. 20231, on

December 14, 1998

Date of Deposit

William H. Wright

Name

Signature

12/14/98  
Date

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 9-261932 which was filed September 26, 1997, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

LOEB & LOEB LLP

By:

William H. Wright

Registration No. 36,312

Attorney for Applicant(s)

Date: December 14, 1998

10100 Santa Monica Blvd., 22nd Floor  
Los Angeles, California 90067-4164  
Telephone: 310-282-2000  
Facsimile: 310-282-2192



Translation of Priority Certificate

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: September 26, 1997

RECEIVED

DEC 22 1998

Application Number: Patent Application  
No. Hei 9-261932

GROUP 2100

Applicant(s): SANYO ELECTRIC CO., LTD.

October 30, 1998

Commissioner, Takeshi Isayama  
Patent Office

Priority Certificate No. Hei 10-3087492



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1997年 9月26日

出 願 番 号  
Application Number:

平成 9年特許願第261932号

出 願 人  
Applicant (s):

三洋電機株式会社

1998年10月30日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴 佐 山 建 志



出証番号 出証特平10-3087492

【書類名】 特許願

【整理番号】 KH97-1015

【提出日】 平成 9年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明の名称】 表示装置及び表示装置用大基板

【請求項の数】 9

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 神野 優志

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 平井 恭子

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 高野 泰明

【代理人】

【識別番号】 100076794

【弁理士】

【氏名又は名称】 安富 耕二

【連絡先】 電話03-5684-3268 知的財産部駐在

【選任した代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702954

【ブルーフの要否】 要

【書類名】 明細書  
 【発明の名称】 表示装置及び表示装置用大基板  
 【特許請求の範囲】

【請求項1】 基板上に形成された、光調部材を変調する表示電極群と、これら表示電極に表示信号電圧を供給するための薄膜トランジスタ群と、これら薄膜トランジスタ群へ供給すべく他部で作成された信号電圧が入力される入力端子群と、前記薄膜トランジスタ群と前記入力端子とを結ぶ配線と、を有する表示装置において、

前記配線の一部または全部は、前記薄膜トランジスタを構成する複数の導電層と同じ少なくとも2層の導電層の積層構造により形成されることを特徴とする表示装置。

【請求項2】 前記配線の一部または全部は、少なくとも前記薄膜トランジスタを構成する最下部の導電層と同じ導電層により形成されていることを特徴とする請求項1記載の表示装置。

【請求項3】 基板上に形成された、光変調部材を変調する表示電極群と、これら表示電極に接続され表示信号電圧を供給するための第1の薄膜トランジスタと、前記表示電極群の周辺に形成され前記第1の薄膜トランジスタを駆動するための駆動信号を作成する複数の第2の薄膜トランジスタ群と、これら第2の薄膜トランジスタ群を動作させるべく他部で作成された制御信号が入力される入力端子群と、前記第2の薄膜トランジスタ群と前記入力端子とを結ぶ配線と、を有する表示装置において、

前記配線の一部または全部は、前記第1または／及び第2の前記薄膜トランジスタを構成する複数の導電層と同じ少なくとも2層の積層構造により形成されることを特徴とする表示装置。

【請求項4】 前記配線の一部または全部は、少なくとも前記薄膜トランジスタを構成する最下部の導電層と同じ導電層により形成されていることを特徴とする請求項3記載の表示装置。

【請求項5】 前記配線の一部または全部は、前記複数の第2の薄膜トランジスタ群のうちの少なくとも一つの群の外側を回って形成されていることを特徴

とする請求項3または請求項4に記載の表示装置。

【請求項6】 基板上に形成された、光変調部材を変調する表示電極群と、これら表示電極に接続され表示信号電圧を供給するための第1の薄膜トランジスタと、前記表示電極群の周辺に形成され前記第1の薄膜トランジスタを駆動するための駆動信号を作成する複数の第2の薄膜トランジスタ群と、これら第2の薄膜トランジスタ群を動作させるべく他部で作成された制御信号が入力される入力端子群と、前記第2の薄膜トランジスタ群と前記入力端子とを結ぶ配線と、を有する表示装置において、

前記入力端子は、前記薄膜トランジスタを構成する複数の導電層と同じ少なくとも2層の導電層の積層構造により形成され、前記入力端子と前記第2の薄膜トランジスタ群とは0.8mm以上離されていることを特徴とする表示装置。

【請求項7】 前記入力端子と前記第2の薄膜トランジスタ群とは1.8mm以上離されていることを特徴とする請求項6記載の表示装置。

【請求項8】 基板上に形成された、光変調部材を変調する表示電極群と、これら表示電極に接続され表示信号電圧を供給するための第1の薄膜トランジスタと、前記表示電極群の周辺に形成され前記第1の薄膜トランジスタを駆動する駆動信号を作成する複数の第2の薄膜トランジスタ群と、これら第2の薄膜トランジスタ群を動作させるべく他部で作成された制御信号が入力される入力端子群と、前記第2の薄膜トランジスタ群と前記入力端子とを結ぶ配線とを有したアクティブマトリクス基板を複数含んだ表示装置用大基板において、

前記アクティブマトリクス基板の間隙に、前記第1または/及び第2の薄膜トランジスタを構成する導電層のうち最も下層の導電層と同じ導電層からなる第2の導電層が形成された領域が設けられていることを特徴とする表示装置用大基板。

【請求項9】 前記第2の導電層が形成された領域は、前記アクティブマトリクス基板が個別に切り離される際に、切り捨てられることを特徴とする請求項8記載の表示装置用大基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置（LCD: liquid crystal display）であって、薄膜トランジスタ（TFT: thin film transistor）を表示部におけるスイッチング素子として形成するとともに、周辺部に駆動回路を構成すべく形成された周辺駆動回路一体型LCDの製造方法に関し、特に、製造過程で発生する静電気による素子の絶縁破壊を防止するものである。

【0002】

【従来の技術】

近年、LCDは、小型、薄型、低消費電力などの利点のため、OA機器、AV機器の分野で実用化進められている。特に、各画素に画素情報の書き換えタイミングを制御するスイッチング素子としてTFTを配したアクティブマトリクス型は、大画面、高精細の動画表示が可能となるため、各種テレビジョン、パーソナルコンピュータなどのディスプレイに用いられている。

【0003】

TFTは絶縁性基板上に金属層とともに半導体層を所定の形状に形成することにより得られる電界効果型トランジスタ（FET: field effect transistor）である。アクティブマトリクス型LCDにおいては、TFTは、液晶を挟んだ一対の基板間に形成された、液晶を駆動するための各キャパシタンスに接続されている。

【0004】

特に、半導体層として、それまで多用されてきた非晶質シリコン（a-Si）に代わって、多結晶シリコン（p-Si）を用いたLCDが開発され、p-Siの結晶粒の形成あるいは成長のためにレーザー光を用いたアニールが用いられている。一般に、p-Siはa-Siに比べて移動度が高く、TFTが小型化され、高開口率及び高精細化が実現される。また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、n-channel TFTとp-channel TFTの電氣的な補補結線構造即ちCMOSを形成することにより、高速駆動回路を構成することができる。このため、駆動回路部を同一基板上に表示画素部の周辺に一体形成することにより、製造コストの削減、LCDモジュールの小型



化が実現される。

【0005】

図11は、このようなドライバー一体型LCDの大基板(1)の平面図である。LCDの一方の電極基である各アクティブマトリクス基板(2)が4枚含まれている。各アクティブマトリクス基板(2)は、中央部に表示画素部(3)、その左右にゲートドライバー(4)、その上にドレインドライバー(5)、その下にプリチャージドライバー(6)が形成される予定の領域がある。アクティブマトリクス基板(2)の下辺には、フレキシブルプリントコネクタ(FPC)が接続される入力端部(7)がある。FPCには制御用信号を作成する集積回路が搭載され、FPCを介して、制御用信号が入力端部(7)へ供給される。

【0006】

入力端部(7)からは、ゲートドライバー(4)へと結ばれた垂直クロックパルス供給配線(41)及び垂直スタートパルス供給配線(42)、ドレインドライバー(5)へと結ばれた水平クロックパルス供給配線(51)、水平スタートパルス供給配線(52)及びビデオデータ供給配線(53)、及び、プリチャージドライバー(6)へ結ばれた水平クロックパルス供給配線(61)及び水平スタートパルス供給配線(62)が引き出されている。

【0007】

この大基板(1)は、各アクティブマトリクス基板(2)毎に全面的に対応した共通電極を有する対向ガラス基板が貼り合わされて、ブレイク線(8)に沿ってカットすることにより、4枚のアクティブマトリクスパネルが得られる。

図12は各アクティブマトリクス基板(2)の拡大平面図である。表示画素部(3)は、左右に延びたゲートライン(31)と上下に延びたドレインライン(32)が交差配置され、その交差部にはスイッチ素子(33)が形成され、液晶駆動用の表示電極(34)がこれに接続されている。

【0008】

ゲートドライバー(4)は、主にシフトレジスタからなり、垂直クロックパルスに従ってゲートライン(31)へ走査信号電圧を供給する。ドレインドライバー(5)は、主にシフトレジスタとサンプリングゲートからなり、水平クロック

パルスに従って表示信号電圧を各ドレインライン（32）へ供給する。

また、プリチャージドライバー（6）は、必要により設けられ、主にシフトレジスタからなる。プリチャージドライバー（6）は、各走査期間において、ドレインドライバー（5）よりも早くスタートされ、前の走査期間から各ドレインライン（32）に残った電圧を消去する。

【0009】

入力端部（7）では、入力端子（71）が配列され、各配線（41, 42, 51, 52, 53, 61, 62）が接続されている。

スイッチ素子（33）は例えばTFTであって、走査信号電圧により行毎に一斉にオンされ、これに同期してドレインライン（32）へ供給された表示信号電圧が各表示電極（34）へ印加される。各表示電極（34）へ印加された電圧は、各表示画素の表示情報として液晶の透過率を制御し、各表示画素の明暗により表示画面が作成される。

【0010】

このようなドライバー一体型LCDは、基板上にp-SiTFTを形成することにより作製される。即ち、表示画素部（3）におけるスイッチ素子（33）と同じ構造のTFTを周辺に形成してCMOSを構成することで、各種インバータ回路が同一基板上に形成され、各ドライバー（4, 5, 6）を構成している。

図13は、このようなアクティブマトリクス基板（2）の主要各部の断面図である。左がTFT部、中央が配線（41, 42, 51, 52, 53, 61, 62）部、右が入力端子（71）部である。（100）はガラス等の基板、（101）及び（121）は、各々Cr等の第1の導電層からなるゲート電極及び入力端台座、（102）はゲート絶縁膜、（103）はp-Si膜、（104）は注入ストッパー、（105）は層間絶縁膜、（106）、（107）、（116）及び（126）は、各々Al等の第2の導電層からなるソース電極、ドレイン電極、配線及び入力端、（108）は平坦化絶縁膜、（109）及び（129）はITO（indium tin oxide）からなる表示電極、入力端コンタクト膜である。

【0011】

図より分かるように、図12における入力端子（71）は、入力端台座（12

1)、入力端(126)及び入力端コンタクト膜(129)の3層構造からなる。配線(116)と一体の入力端(126)は高導電性のAl等により形成されるが、基板(100)との接着性が悪い。従って、Al、ガラスのいずれとも接着性が良いCrからなる入力端台座(121)を入力端(126)の下地として介在させることで基板(100)との接着性を高めている。

#### 【0012】

また、入力端(126)はFPCとの接着材として用いられる異方性導電樹脂との相性が悪い。このため、異方性導電樹脂との相性がよいITOからなる入力端コンタクト膜(129)を介在させることで、FPCとの接着性が高められる。これにより、LCDとFPCとの接着強度が向上される。

#### 【0013】

##### 【発明が解決しようとする課題】

図11では、ゲートライン(31)とゲート電極(101)及び入力端台座(121)が形成された状態が示されている。即ち、表示画素部(3)において、スイッチング素子のゲート電極(101)と、これに一体のゲートライン(31)、ドライバー部(4, 5, 6)において、CMOSTFTのゲート電極(101)と、結線のための下層配線、更に、入力端部(7)において、入力端子(71)の台座(121)が形成され、ソース電極(106)、ドレイン電極(107)、ドレインライン(33)、及び、配線(41, 42, 51, 52, 53)はまだ形成されていない。

#### 【0014】

図13の構造からわかるように、アクティブマトリクス基板の製造過程の初期の段階で、下部電極配線層であるゲート電極(101)と入力端台座(121)が形成された後、上部電極配線層であるソース電極(106)、ドレイン電極(107)及び配線(116)が形成されるまでに、p-Si膜(103)の成膜とエッチング、各種絶縁膜(102, 104, 106)の成膜とエッチング等の多数の工程がある。このため、これらの工程を経る間に、基板(1)の特に周縁部にて、摩擦等により静電気が発生することがある。特に、入力端部(7)では、島状の入力端台座(121)が配列されているので、これらが帯電すると周辺

の金属への放電が起こる。図11の構造では、プリチャージドライバー（7）や、隣りのアクティブマトリクス基板（2）のドレインドライバー（5）が入力端部（7）に近接されているが、図11の段階では、これらのドライバーを構成するTFT素子はゲート電極（101）の形成が終了しているので、入力端部（7）からの放電の影響を受けやすい。特に、ゲート絶縁膜（102）や、p-Si膜（103）が形成された状態では、このような静電気の放電があると、素子特性の悪化や絶縁破壊を招く問題がある。

【0015】

また、図11における上段のアクティブマトリクス基板（2）に関して、ドレインドライバー（5）は、大基板（1）の端部に当たるため、人手や、装置の支持部との接触部分に近く、静電気を受けやすい。

【0016】

【課題を解決するための手段】

本発明はこの課題を解決するために成され、基板上に形成された、光調部材を変調する表示電極群と、これら表示電極に表示信号電圧を供給するための薄膜トランジスタ群と、これら薄膜トランジスタ群へ供給すべく他部で作成された信号電圧が入力される入力端子群と、前記薄膜トランジスタ群と前記入力端子とを結ぶ配線と、を有する表示装置において、前記配線の一部または全部は、前記薄膜トランジスタを構成する複数の導電層と同じ少なくとも2層の導電層の積層構造により形成される構成である。

【0017】

特に、前記配線の一部または全部は、少なくとも前記薄膜トランジスタを構成する最下部の導電層と同じ導電層により形成されている構成である。

また、基板上に形成された、光変調部材を変調する表示電極群と、これら表示電極に接続され表示信号電圧を供給するための第1の薄膜トランジスタと、前記表示電極群の周辺に形成され前記第1の薄膜トランジスタを駆動するための駆動信号を作成する複数の第2の薄膜トランジスタ群と、これら第2の薄膜トランジスタ群を動作させるべく他部で作成された制御信号が入力される入力端子群と、前記第2の薄膜トランジスタ群と前記入力端子とを結ぶ配線と、を有する表示装

置において、前記配線の一部または全部は、前記第1または/及び第2の前記薄膜トランジスタを構成する複数の導電層と同じ少なくとも2層の積層構造により形成される構成である。

【0018】

特に、前記配線の一部または全部は、少なくとも前記薄膜トランジスタを構成する最下部の導電層と同じ導電層により形成されている構成である。

特に、前記配線の一部または全部は、前記複数の第2の薄膜トランジスタ群のうちの少なくとも一つの群の外側を回って形成されている構成である。

これにより、薄膜トランジスタの下部電極配線が下層の導電層により形成された段階で配線の下層が形成されるので、基板の周縁部等に発生した静電気放電が配線部に吸収遮蔽されるので、薄膜トランジスタ群が静電破壊から保護される。

【0019】

また、基板上に形成された、光変調部材を変調する表示電極群と、これら表示電極に接続され表示信号電圧を供給するための第1の薄膜トランジスタと、前記表示電極群の周辺に形成され前記第1の薄膜トランジスタを駆動するための駆動信号を作成する複数の第2の薄膜トランジスタ群と、これら第2の薄膜トランジスタ群を動作させるべく他部で作成された制御信号が入力される入力端子群と、前記第2の薄膜トランジスタ群と前記入力端子とを結ぶ配線と、を有する表示装置において、前記入力端子は、前記薄膜トランジスタを構成する複数の導電層と同じ少なくとも2層の導電層の積層構造により形成され、前記入力端子と前記第2の薄膜トランジスタ群とは0.8mm以上離されている構成である。

【0020】

これにより、基板製造の早い段階で、入力端子の下層に静電気が帯電しても、その放電による影響が第2の薄膜トランジスタにまで及ぶことが抑えられ、静電破壊防がれる。

また、基板上に形成された、光変調部材を変調する表示電極群と、これら表示電極に接続され表示信号電圧を供給するための第1の薄膜トランジスタと、前記表示電極群の周辺に形成され前記第1の薄膜トランジスタを駆動する駆動信号を作成する複数の第2の薄膜トランジスタ群と、これら第2の薄膜トランジスタ群

を動作させるべく他部で作成された制御信号が入力される入力端子群と、前記第2の薄膜トランジスタ群と前記入力端子とを結ぶ配線とを有したアクティブマトリクス基板を複数含んだ表示装置用大基板において、前記アクティブマトリクス基板の間に、前記第1または／及び第2の薄膜トランジスタを構成する導電層のうち最も下層の導電層と同じ導電層からなる第2の導電層が形成された領域が設けられている構成である。

【0021】

これにより、大基板に発生した静電気が、導電層に沿って放電され、あるいは、アクティブマトリクス基板の相互間の静電気が遮蔽され、薄膜トランジスタの静電破壊が防がれる。

特に、前記第2の導電層が形成された領域は、前記アクティブマトリクス基板が個別に切り離される際に、切り捨てられる構成である。

【0022】

これにより、表示装置の完成後に導電層が独立して残ることが無く、導電層が表示に影響を及ぼすことが防がれる。

【0023】

#### 【発明の実施の形態】

図1は、本発明の第1の実施の形態にかかるドライバー一体型LCDの大基板(1)の平面図である。大基板(1)は、LCDの一方の電極基板となるアクティブマトリクス基板(2)を複数、本実施の形態では4枚含んでいる。

各アクティブマトリクス基板(2)は、中央部に表示画素部(3)、その左右にゲートドライバー(4)、上にドレインドライバー(5)、下にプリチャージドライバー(6)が形成される領域がある。また、下辺に沿って、入力端部(7)が形成される。

【0024】

図2は、各アクティブマトリクス基板(2)の拡大平面図である。表示画素部(3)は、ゲートライン(31)とドレインライン(32)が交差配置され、その交点にスイッチ素子(33)が形成され、スイッチ素子(33)には表示電極(34)が接続されている。

スイッチ素子(33)はTFTであり、各ドライバー(4, 5, 6)は、このTFTと同じ構造のTFTからなるCMOSにより構成されている。

## 【0025】

また、入力端部(7)は、入力端子(71)が配列されている。

各入力端子(71)には、垂直クロックパルス、垂直スタートパルス、水平クロックパルス、水平スタートパルス、ビデオデータ信号、等が入力される。各入力端子(71)からは、各々垂直クロックパルス供給配線(41)及び垂直スタートパルス供給配線(42)が引き出されてゲートドライバー(4)へと結ばれる。また、水平クロックパルス供給配線(51)、水平スタートパルス供給配線(52)及びビデオデータ供給配線(53)が引き出されてドレインドライバー(5)へ結ばれている。更に、水平クロックパルス供給配線(61)及び水平スタートパルス供給配線(62)が引き出されてプリチャージドライバー(6)へ結ばれている。

## 【0026】

本実施の形態では、ドレインドライバー(5)に結ばれた水平クロックパルス供給配線(41)、水平スタートパルス供給配線(42)及びビデオデータ供給配線(43)のうちの少なくとも1本、例えば、ビデオデータ供給配線(43)がドレインドライバー(5)の外側を回るように形成されている。そして、このビデオデータ供給配線(43)の少なくとも一部分、ドレインドライバー(5)の外側を近接通過する部分には、実線で示す電気遮蔽線(10)が設けられている。

## 【0027】

図3は、アクティブマトリクス基板(2)の主要部の断面図である。左側がTFT部、中央が配線(53)部の特に電気遮蔽線(10)が設けられた箇所、右側が入力端子(71)部である。

ガラス等の基板(100)上に、Cr等の同じ第1の導電層からなるゲート電極(101)、配線台座(111)及び入力端台座(121)が形成されている。ゲート電極(101)はゲートライン(31)と一体で形成されている。配線台座(121)は電気遮蔽線(10)でもある。これらを覆う全面にはゲート絶

縁膜(102)が形成されている。

【0028】

TFT部では、ゲート絶縁膜(102)上のゲート電極(101)の上方にp-Si膜(104)が島状に形成されている。このp-Si膜(104)は、ゲート電極(101)の直上領域がノンドープのチャンネル領域(CH)、その両側が不純物がドーピングされたソース領域(S)及びドレイン領域(D)となっている。チャンネル領域(CH)上には、不純物のイオン注入の際にマスクとなる注入ストッパ(104)がゲート電極(101)を反映した形状で形成されている。これらを覆う全面には層間絶縁膜(105)が形成されている。

【0029】

TFT部では、層間絶縁膜(105)上にA1等の第2の導電層からなるソース電極(106)及びドレイン電極(107)が形成され、各々、層間絶縁膜(105)に開口されたコンタクトホールを介してソース領域(S)及びドレイン領域(D)へ接続されている。配線部では、層間絶縁膜(105)上に、A1等の第2の導電層からなる配線(116)が形成されている。入力端部では、ゲート絶縁膜(102)、注入ストッパ(104)及び層間絶縁膜(105)に開口されたコンタクトホールを介して配線(116)の入力端(126)が、入力端台座(121)へ接続されている。これらを覆う全面には平坦化絶縁膜(108)が形成されている。

【0030】

TFT部では、平坦化絶縁膜(108)上に、ITO(indium tin oxide)からなる表示電極(109)が形成され、平坦化絶縁膜(108)に開口されたコンタクトホールを介してソース電極(106)に接続されている。入力端部では、ITOからなる入力端コンタクト膜(129)が形成され、平坦化絶縁膜(109)に開口されたコンタクトホールを介して入力端(126)に接続されている。

【0031】

図1では、基板(100)上に、第1の導電層からなるゲート電極(101)、配線台座(111)及び入力端台座(121)を形成する工程以降、第2の導



電層からなるソース・ドレイン電極（106, 107）、配線（116）及び入力端（126）を形成する工程の前の段階が示されている。即ち、入力端子（71）と配線（41, 42, 51, 52, 53, 61, 62）は、各々、配線台座（111）及び入力端台座（121）のみが形成された状態にある。配線（116）のうちの少なくとも1本、例えば、ビデオデータ供給配線（53）はドレインドライバ（5）の形成領域の外周を回り込むように配される。そして、その少なくともドレインドライバ（5）の外側を近接通過する部分は電気遮蔽線（10）を兼用する配線台座（111）が設けられている。即ち、この部分において配線（53）は、図3に示すように最終的には配線（116）と配線台座（111）との積層構造により形成される。

#### 【0032】

図1における製造過程の比較的早い段階において、基板（1）に静電気が発生すると、特に、入力端部（7）が帯電しやすい。入力端部（7）は外部との接続部であり、通常、アクティブマトリクス基板（2）の縁に沿って配される。また、入力端部（7）とブリチャージドライバ（6）との間は、配線（41, 42, 51, 52, 53, 61, 62）の形成領域が介在される分、離間されている。このため、入力端部（7）は、同じアクティブマトリクス基板（2）上のブリチャージドライバ（6）よりも隣りのアクティブマトリクス基板（2）のドレインドライバ（5）との距離が短くされる場合がある。また、表示への影響としては、ブリチャージドライバ（6）部の動作不良よりも、ドレインドライバ（5）の動作不良が重大である。

#### 【0033】

大基板（1）の縁は、製造工程中あるいは製造工程間の搬送時などに、各種処理装置の基板支持部や人手等他部との接触によって静電気が発生しやすくなっている。このため、大基板（1）の端部にあるドレインドライバ（5）は、この静電気の影響を受けやすい。

このため、本発明では、ドレインドライバ（5）の外側、即ち、隣の入力端部（7）との間に、製造過程の早い段階で、電気遮蔽線（10）を設けている。これにより、製造過程において隣りの入力端部（7）、あるいは、基板（1）の

縁部にて発生する静電気は、電気遮蔽線（１０）により吸収遮蔽され、ドレインドライバー（５）部の素子が、静電破壊されることが防がれる。

【００３４】

ここで、この電気遮蔽線（１０）は、ゲートライン（３１）と同時に形成されるので、製造コストが増大することはない。

また、ドレインドライバー（５）の外側を回り込む配線は、ビデオデータ供給配線（５３）に限定されることはなく、レイアウト設計によっては他の配線（４１，４２，５１，５２，６１，６２）も可能である。

【００３５】

更に、電気遮蔽線（１０）により保護するのは、ドレインドライバー（５）に限定されることはなく、図示以外の表示画素（３）、ドライバー（４，５，６）及び入力端部（７）の配置においても、隣りの入力端部（７）が近接するドライバーあるいは基板（１）の縁部に近いドライバー、例えば、ゲートドライバー（４）やプリチャージドライバー（６）についても同様に、静電破壊を防止することができる。

【００３６】

図４は、本発明の第２の実施の形態にかかるドライバー一体型ＬＣＤの大基板（１）の平面図である。本実施の形態では、第１の実施の形態と同様、配線（４１，４２，５１，５２，５３，６１，６２）の少なくとも１本、例えば、ビデオデータ供給配線（５３）がドレインドライバー（５）の外側を回り込むように配線されているが、配線（４１，４２，５１，５２，５３，６１，６２）の全領域において、図１に示すような配線（１１６）と配線台座（１１１）との積層構造となっている。

【００３７】

従って、配線（４１，４２，５１，５２，５３，６１，６２）の全領域において、配線台座（１１１）からなる電気遮蔽線（１０）が形成されている。このため、隣の入力端部（７）の静電気、あるいは、基板（１）周縁のいずれの領域で静電気が発生しても、これらの電気遮蔽線（１０）に吸収されて、拡散放電され、ドレインドライバー（５）のみならず、ゲートドライバー（４）、プリチャージ

ジドライバー（６）、更には表示画素部（３）等、基板（１）上の素子が静電破壊から守られる。

【００３８】

電気遮蔽線（１０）は、本実施の形態においては、特にドレインドライバー（５）の外側を近接通過するように配されたビデオデータ供給配線（５３）のみ、あるいは、ビデオデータ供給配線（５３）の大部分に設けることでも、第１の実施の形態に比べて、静電破壊防止の効果が高められる。

また、電気遮蔽線（１０）は、ゲートドライパー（４）やブリチャージドライパー（６）の外側を近接通過する領域において、配線（５１，５２，５３，４１，４２，６１，６２）等の一部として、あるいは、配線（４１，４２）（６１，６２）を各々ゲートドライパー（４）やブリチャージドライパー（６）の外側を回すような配線とした上で、これらの配線の一部として形成することで、ゲートドライパー（４）やブリチャージドライパー（６）を、基板（１）端部の静電気から保護する構成としても良い。

【００３９】

図５は、本発明の第３の実施の形態にかかるドライパー一体型ＬＣＤの大基板（１）の平面図である。本実施の形態においては、ビデオデータ供給配線（５３）と水平クロックパルス供給配線（５１）の２本がドレインドライバー（５）の外側を回すように配線されている。そして、少なくともドレインドライバー（５）に近接する部分で、電気遮蔽線（１０）が設けられている。即ち、ドレインドライバー（５）と隣の入力端部（７）との間には、２本の電気遮蔽線（１０）が介在されるので、静電破壊防止のより高い効果が得られる。

【００４０】

ここで、電気遮蔽線（１０）が形成される配線は、ビデオデータ供給配線（５３）と水平クロックパルス供給配線（５２）に限定されることはなく、レイアウトの都合によっては、他の配線（４１，４２，５２，６１，６２）も可能である。

また、電気遮蔽線（１０）は、配線（４１，４２，５１，５２，５３，６１，６２）の大部分または全領域、あるいは、ゲートドライパー（４）やブリチャ

ージドライバー（６）の外側を近接通過する領域に設けても良い。

【００４１】

図６は、本発明の第４の実施の形態にかかるドライバー一体型ＬＣＤの大基板（１）の平面図である。ドレインドライバー（５）の外側を近接通過するようにして、電気遮蔽線（１０）が、配線（４１，４２，５１，５２，５３，６１，６２）とは独立に設けられている。本実施の形態では、配線（４１，４２，５１，５２，５３，６１，６２）を、特に、ドレインドライバー（５）の外側に回す必要が無く、前述の実施の形態に比べて、配線のレイアウト変更が難しい場合に採用される。

【００４２】

また、電気遮蔽線（１０）は、ゲートドライバー（４）あるいはプリチャージドライバー（６）の外側に設けても良い。

図７は、本発明の第５の実施の形態にかかるドライバー一体型ＬＣＤの大基板（１）の平面図である。本実施の形態では、ドレインドライバー（５）の外側を近接通過するようにして、配線（４１，４２，５１，５２，５３，６１，６２）とは独立の電気遮蔽線（１０）を設けるとともに、配線、特に、ビデオデータ供給配線（５３）の、ドレインドライバー（５）の外側を近接通過する部分にも電気遮蔽線（１０）を設けている。これら２つの電気遮蔽線（１０）により、概ねドレインドライバー（５）の外側を近接通過する電気遮蔽線（１０）が構成され、ドレインドライバー（５）が、隣の入力端部（７）あるいは基板（１）周縁の静電気から保護される。

【００４３】

本実施の形態でも、第４の実施の形態と同様、配線（４１，４２，５１，５２，５３，６１，６２）のレイアウト設計の変更が難しい場合に採用される。また、配線（４１，４２，５１，５２，５３，６１，６２）の大部分または全領域、あるいは、ゲートドライバー（４）やプリチャージドライバー（６）の外側に電気遮蔽線（１０）を設けることも可能である。

【００４４】

図８は、本発明の第６の実施の形態にかかるドライバー一体型ＬＣＤの大基板

(1)の平面図である。入力端部(7)の外側に電気遮蔽線(10)が設けられている。これにより、入力端部(7)の静電気が隣りのドレインドライバー(5)の静電破壊を招くことが防がれる。本実施の形態は、配線(41, 42, 51, 52, 53, 61, 62)のレイアウト変更が難しい場合、あるいは、配線(41, 42, 51, 52, 53, 61, 62)をドレインドライバー(5)の外側に近接通過するように配することが難しい場合に採用される。

## 【0045】

図9は、本発明の第7の実施の形態にかかるドライバー一体型LCDの大基板(1)の平面図である。本実施の形態は、あらかじめ、大基板(1)に、各アクティブマトリクス基板(2)の間に、電気遮蔽線(10)専用の領域を設けている。この電気遮蔽線(10)は、全工程終了後に、パネル化後のブレイク時に同時に切り捨てられる。本実施の形態は、大基板(1)に占めるアクティブマトリクス基板(2)の割合が比較的小さく、電気遮蔽線(10)用の領域が十分に取れる場合に採用される。

## 【0046】

本実施の形態では、LCDの完成後には、独立の電気遮蔽線(10)が残ることがないので、電気遮蔽線(10)が表示に影響を及ぼすことが防がれる。

図10は、本発明の第8の実施の形態にかかるドライバー一体型LCDの大基板(1)の平面図である。入力端部(7)とプリチャージドライバー(6)との離間距離a、入力端部(7)と隣のドレインドライバー(5)との離間距離bをいずれも800 $\mu$ m以上、好ましくは、1800 $\mu$ m以上としている。

## 【0047】

基板(1)に関して、離間距離aと離間距離bの小さい方と、その基板(1)に不良が発生する確率を次表に示す。

## 【0048】

【表1】

離間距離(a,b)	不良発生率
700 $\mu$ m	13.7%
800 $\mu$ m	2.8%
1800 $\mu$ m	0.1%

【0049】

表より、離間距離 a、b のいずれかが 700 $\mu$ m の場合、プリチャージドライバ（6）あるいは隣のドレインドライバ（5）に不良が発生する確率が 13.7% と高くなっている。これに対して、離間距離 a、b が 800 $\mu$ m では、不良発生率が 2.8% と大きく低下している。更に、離間距離 a、b が 1800 $\mu$ m では、0.1% と極めて小さくなっており、入力端部（7）の帯電による放電の影響は殆ど無くされていることがわかる。通常、歩留まりとコストを考慮すると、一つの原因による不良発生率は少なくとも 1~2% 以下、少なくとも 3% 以下が必要であるが、表の結果より、入力端部（7）に最も近いドライバを、入力端部（7）から少なくとも 800 $\mu$ m 以上、好ましくは 1800 $\mu$ m 以上離すことが必要となる。

【0050】

## 【発明の効果】

以上の説明から明らかな如く、本発明で、表示装置用基板の製造過程の比較的早い段階で、静電気対策用の配線が可能となり、製造過程途中に発生する静電気から素子が保護され、高歩留まりが達成された。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る表示装置用大基板の平面図である。

【図2】

本発明の第1の実施の形態に係る表示装置用アクティブマトリクス基板の平面図である。

【図3】

本発明の実施の形態に係る表示装置用アクティブマトリクス基板の各部断面図である。

【図4】

本発明の第2の実施の形態に係る表示装置用大基板の平面図である。

【図5】

本発明の第3の実施の形態に係る表示装置用大基板の平面図である。

【図6】

本発明の第4の実施の形態に係る表示装置用大基板の平面図である。

【図7】

本発明の第5の実施の形態に係る表示装置用大基板の平面図である。

【図8】

本発明の第6の実施の形態に係る表示装置用大基板の平面図である。

【図9】

本発明の第7の実施の形態に係る表示装置用大基板の平面図である。

【図10】

本発明の第8の実施の形態に係る表示装置用大基板の平面図である。

【図11】

従来の表示装置用大基板の平面図である。

【図12】

従来の表示装置用アクティブマトリクス基板の平面図である。

【図13】

従来の表示装置用アクティブマトリクス基板の各部断面図である。

【符号の説明】

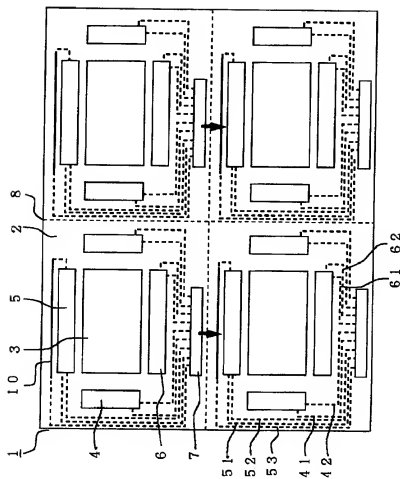
- 1 大基板
- 2 アクティブマトリクス基板
- 3 表示画素
- 4 ゲートドライバー
- 5 ドレインドライバー
- 6 プリチャージドライバー
- 7 入力端部
- 8 ブレイク線
- 10 電気遮蔽線
- 31 ゲートライン
- 32 ドレインライン
- 33 スイッチ素子
- 34 表示電極
- 41 垂直クロックパルス供給配線
- 42 垂直スタートパルス供給配線
- 51 水平クロックパルス供給配線
- 52 水平スタートパルス供給配線
- 53 ビデオデータ供給配線
- 61 垂直クロックパルス供給配線
- 62 垂直スタートパルス供給配線
- 71 入力端子
- 100 基板
- 101 ゲート電極
- 102 ゲート絶縁膜
- 103 p-Si
- 106 ソース電極
- 107 ドレイン電極
- 108 平坦化絶縁膜
- 109 表示電極



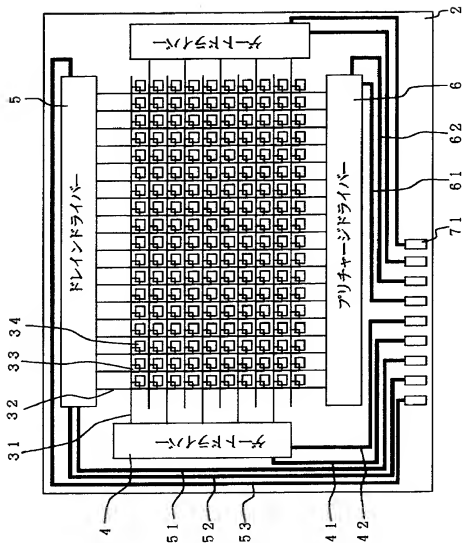
- 1 1 1 配線台座
- 1 1 6 配線
- 1 2 1 入力端台座
- 1 2 6 入力端
- 1 2 9 入力端コンタクト膜

【書類名】 図面

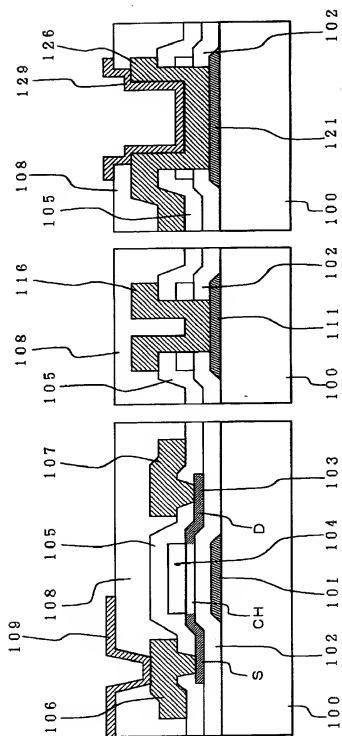
【図1】



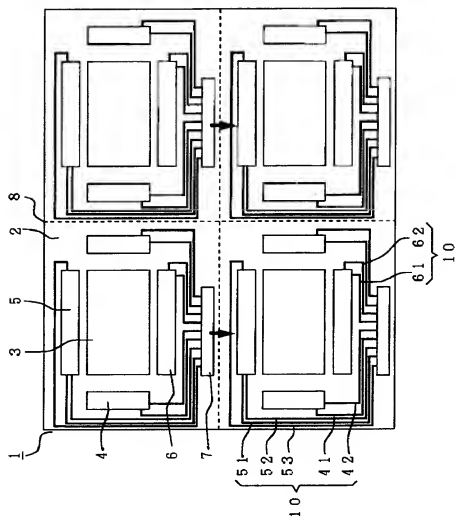
【図2】



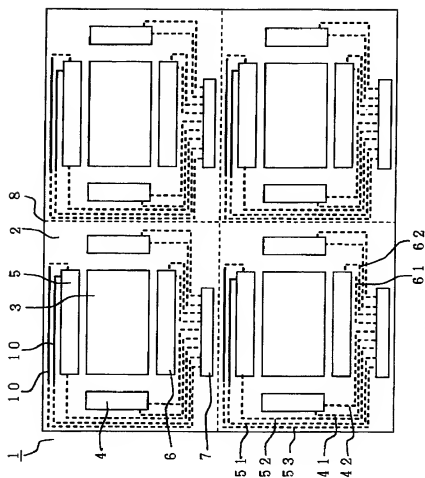
【圖 3】



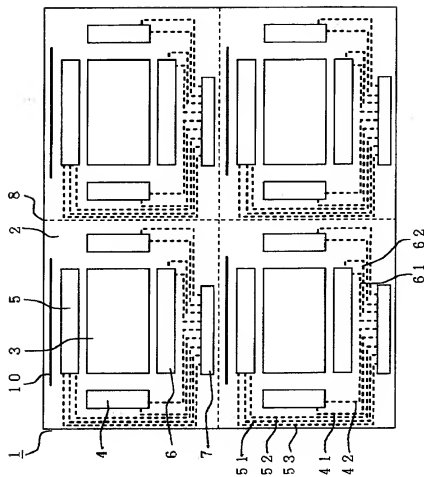
【図4】



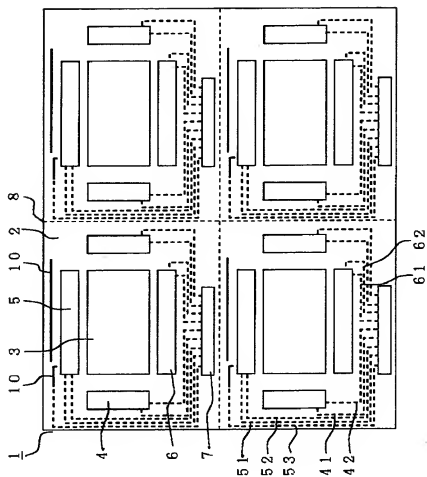
【図5】



【図6】

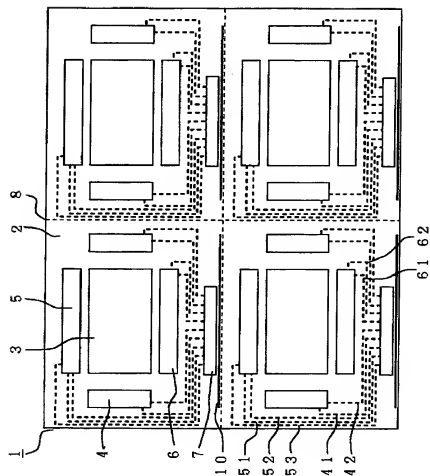


【图7】

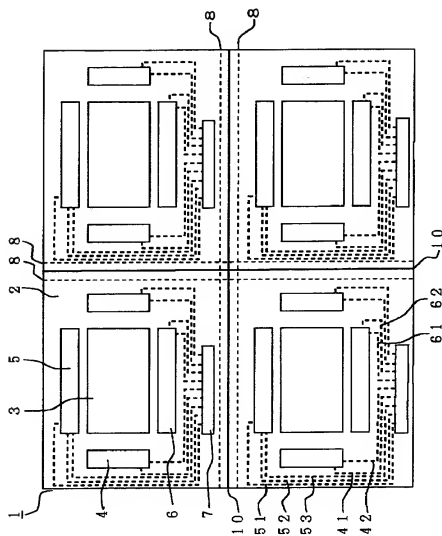




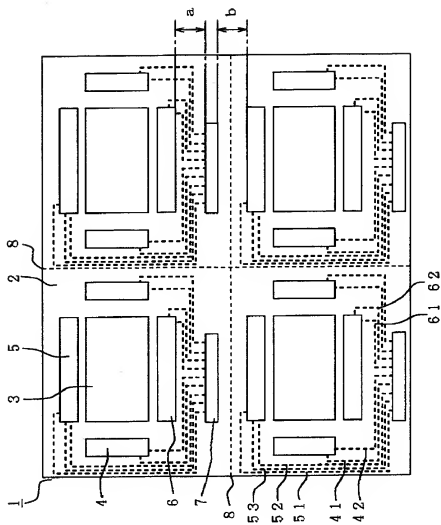
【图8】



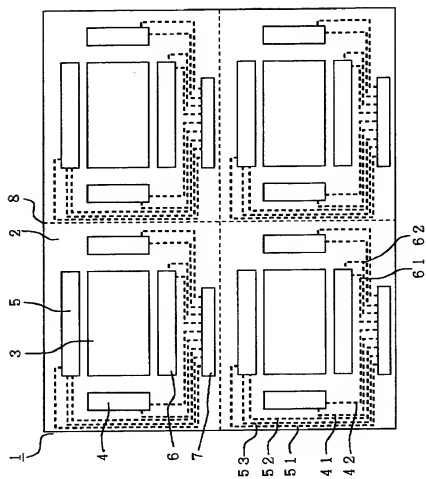
【図9】



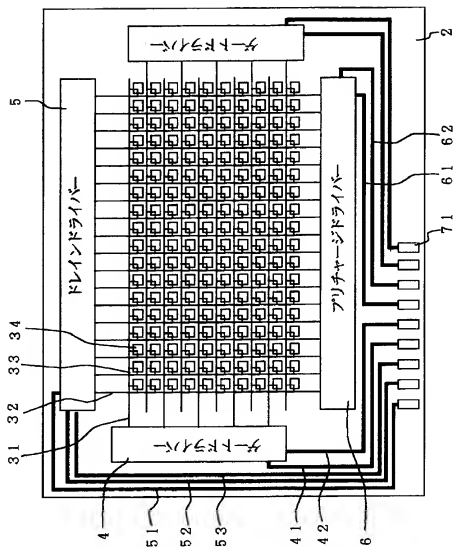
【図10】



【図11】



【図12】





【書類名】 要約書

【要約】

【課題】 ドライバー一体型LCDにおいて、製造過程に発生する静電気による素子の特性悪化を防ぎ、歩留まりを向上する。

【要約】 基板2周縁部に、TFT素子の下部電極層であるCrからなる電気遮蔽線10を設ける。基板製造の早い段階で静電気対策が行われるので、以降の工程において静電気が発生しても基板上の素子は静電破壊から保護される。電気遮蔽線10は、最終的には配線53の台座として用いられる。

【選択図】 図1

【書類名】 職権訂正データ  
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001889  
 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
 【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100076794  
 【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機株式会社 情報通信事業本部  
 【氏名又は名称】 安富 耕二

【選任した代理人】

【識別番号】 100107906  
 【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機株式会社 半導体事業本部 事業推進統括部 知的財産部  
 【氏名又は名称】 須藤 克彦





出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社